



НИУ ВШЭ Московский институт электроники и
математики им. А.Н. Тихонова

Москва
2024

DESim Виртуальная ПЛИС

Докладчик: Американов А.А.,
доцент ДКИ МИЭМ НИУ ВШЭ



Проблема:

- Карантинные меры;
- Долгая дорога в лабораторию;
- Высокая стоимость плат.

AliExpress

Каталог

плед

Найти

Заказы

Корзина

Войти

ЧЁРНАЯ ПЯТНИЦА

Китайские бренды

Низкая цена

Горячие товары

По 180 Р

Розыгрыш

Россия

RU

RUB

AliExpress > Электроника > Фото- и видекамеры > Аксессуары и запчасти > Кабельная катушка

Электронный компонент Terasic Altera DE10-Lite Board MAX10 GCC Terasic MAX10 10M50DAF484C7G

1 купили [Описание](#) [Характеристики](#)

Название бренда	Fly thinking Dili Asia	Единица измерения	штука/штуки
Происхождение	Китай	Количество	1

18 512 Р

В корзину

Купить сейчас

В наличии 997 штук

в Москва

18 декабря почтой **569,59 Р**

11 декабря пункт выдачи **569,59 Р**

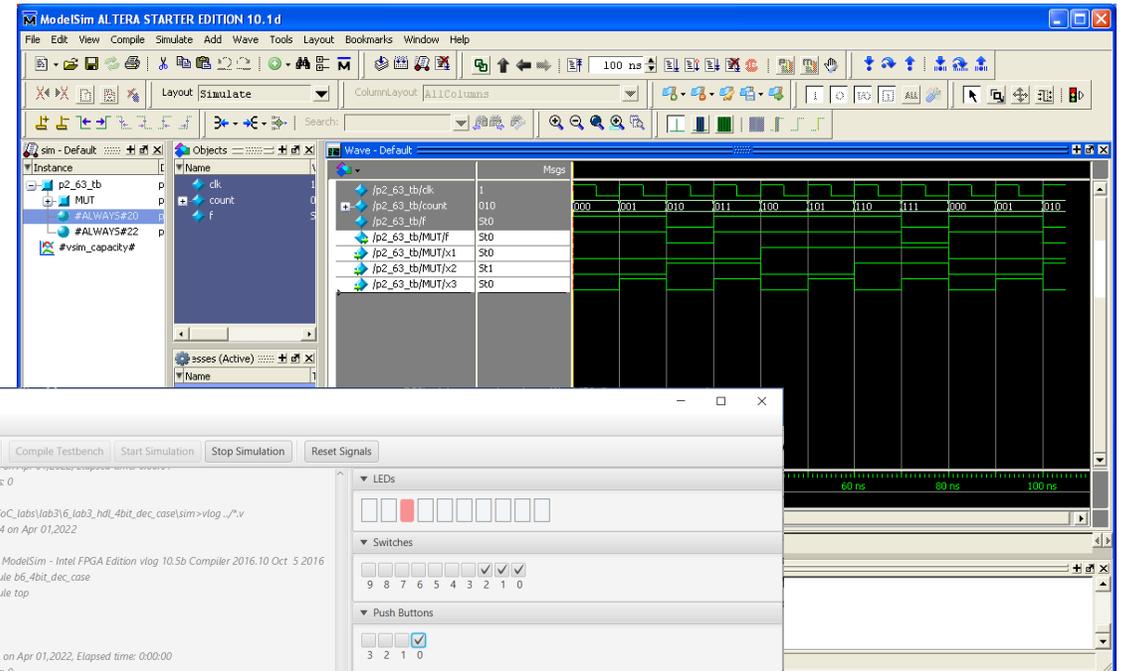
Вернём деньги, если не получите заказ через 60 дней после отправки.

Fly thinking Dili Asia MBMChip Store
94.2% 390 подписчиков



Решение

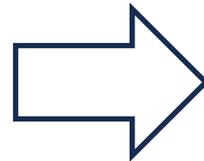
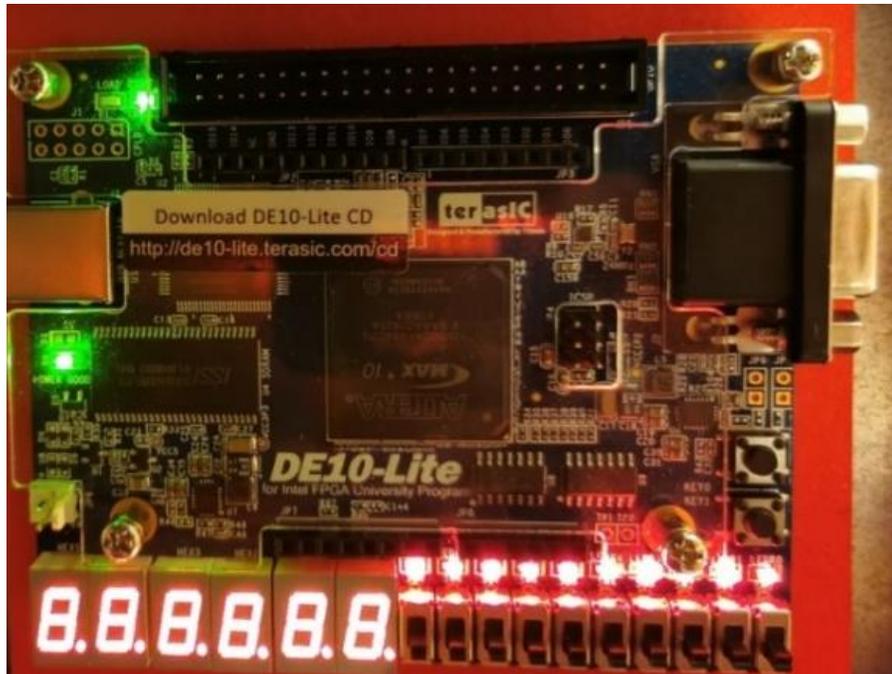
- Удаленный доступ к плате;
- Эмуляция платы.



```
DESim
Devices
Open Project Compile Testbench Start Simulation Stop Simulation Reset Signals
Errors: 0, Warnings: 0
F:\DESim\demos\SoC_labs\lab3\lab3_hdl_4bit_dec_case\sim>vlog -v
Start time: 15:34:04 on Apr 01,2022
vlog -v
Model Technology ModelSim - Intel FPGA Edition vlog 10.5b Compiler 2016.10 Oct 5 2016
--- Compiling module b6_4bit_dec_case
--- Compiling module top
Top level modules:
top
End time: 15:34:04 on Apr 01,2022, Elapsed time: 0:00:00
Errors: 0, Warnings: 0
Compilation successful
F:\DESim\demos\SoC_labs\lab3\lab3_hdl_4bit_dec_case\sim>run_sim.bat
F:\DESim\demos\SoC_labs\lab3\lab3_hdl_4bit_dec_case\sim>vsim -pli simpga.vpi -lf 220m
Reading F:\intelFPGA_lite\17.1\modelsim_ase\rtl\vsim\pref.tcl
# 10.5b
# vsim -pli "simpga.vpi" -lf 220model -lf altera_mt_ver -lf verilog -c -do "run -all" tb
# Start time: 15:34:05 on Apr 01,2022
# Loading work.tb
# Loading work.top
# Loading work.b6_4bit_dec_case
# ** Warning: (vsim-3015) _top.v(0): [PCDDPC] - Port size (16) does not match connection size
# Time: 0 ns Iteration: 0 Instance: /tb/DUT/b6_4bit_dec_case File: ./b6_4bit_dec_case.v
# Loading ./simpga.vpi
# run -all
Connected to the simulator
# Time scaling: 0.0001 sim seconds per real-time second
#
# Connected to server!
```



DESIm



The screenshot shows the DESIm software interface. At the top, there are buttons for "Open Project", "Compile Testbench", "Start Simulation", "Stop Simulation", and "Reset Signals". Below these are the simulation logs, which include the following text:

```
Errors: 0, Warnings: 0

F:\DESIm\demos\SoC_labs\lab3\6_lab3_hdl_4bit_dec_case\sim>vlog ../*.v
Start time: 15:34:04 on Apr 01,2022
vlog ../*.v
Model Technology ModelSim - Intel FPGA Edition vlog 10.5b Compiler 2016.10 Oct 5 2016
-- Compiling module b6_4bit_dec_case
-- Compiling module top

Top level modules:
  top
End time: 15:34:04 on Apr 01,2022, Elapsed time: 0:00:00
Errors: 0, Warnings: 0
Compilation successful

F:\DESIm\demos\SoC_labs\lab3\6_lab3_hdl_4bit_dec_case\sim>run_sim.bat

F:\DESIm\demos\SoC_labs\lab3\6_lab3_hdl_4bit_dec_case\sim>vsim -pli simfpga.vpi -Lf 220n
Reading F:\intelFPGA_lite\17.1\modelsim_ase\tcl\vsim\pref.tcl

# 10.5b

# vsim -pli "simfpga.vpi" -Lf 220model -Lf altera_mf_ver -Lf verilog -c -do "run -all" tb
# Start time: 15:34:05 on Apr 01,2022
# Loading work.tb
# Loading work.top
# Loading work.b6_4bit_dec_case
# ** Warning: (vsim-3015) ../top.v(8): [PCDPC] - Port size (16) does not match connection size
# Time: 0 ns Iteration: 0 Instance: /tb/DUT/b6_4bit_dec_case File: ./b6_4bit_dec_case.v
# Loading ./simfpga.vpi
# run -all
Connected to the simulator
# Time scaling: 0.0001 sim seconds per real-time second
#
#
# Connected to server!
```

On the right side of the interface, there are hardware control panels:

- LEDs:** A row of 8 LEDs, with the second one from the left lit red.
- Switches:** A row of 9 switches, with the last three (labeled 2, 1, 0) checked.
- Push Buttons:** A row of 4 buttons, with the second one (labeled 2) checked.
- Seven-segment Displays:** A row of 6 seven-segment displays, each showing the digit 8.
- PS/2 Keyboard**
- Parallel Ports**
- VGA Display**



Достоинства:

- Не требует наличие оборудования;
- Все действия происходят у пользователя на ПК.

Недостатки:

- Невозможно использовать периферийное оборудование;
- Отсутствие опыта взаимодействия с реальным оборудованием.



Где скачать?

<https://github.com/fpgacademy/DESIm>

github.com/fpgacademy/DESIm

fpgacademy / DESIm

Code Issues Pull requests Actions Projects Security Insights

main

Go to file Code

fpgacademy Initial Release 3 days ago 2

backend	Initial Release	3 days ago
demos	Initial Release	3 days ago
frontend	Initial Release	3 days ago
installer/windows	Initial Release	3 days ago
.gitignore	Initial Release	3 days ago
LICENSE	Initial Release	3 days ago

About

No description, website, or topics provided.

Readme MIT License

Releases 1

Version 1.0 3 days ago Latest

Latest release

Version 1.0

v1.0
602ef71
fpgacademy released this 3 days ago

Compare

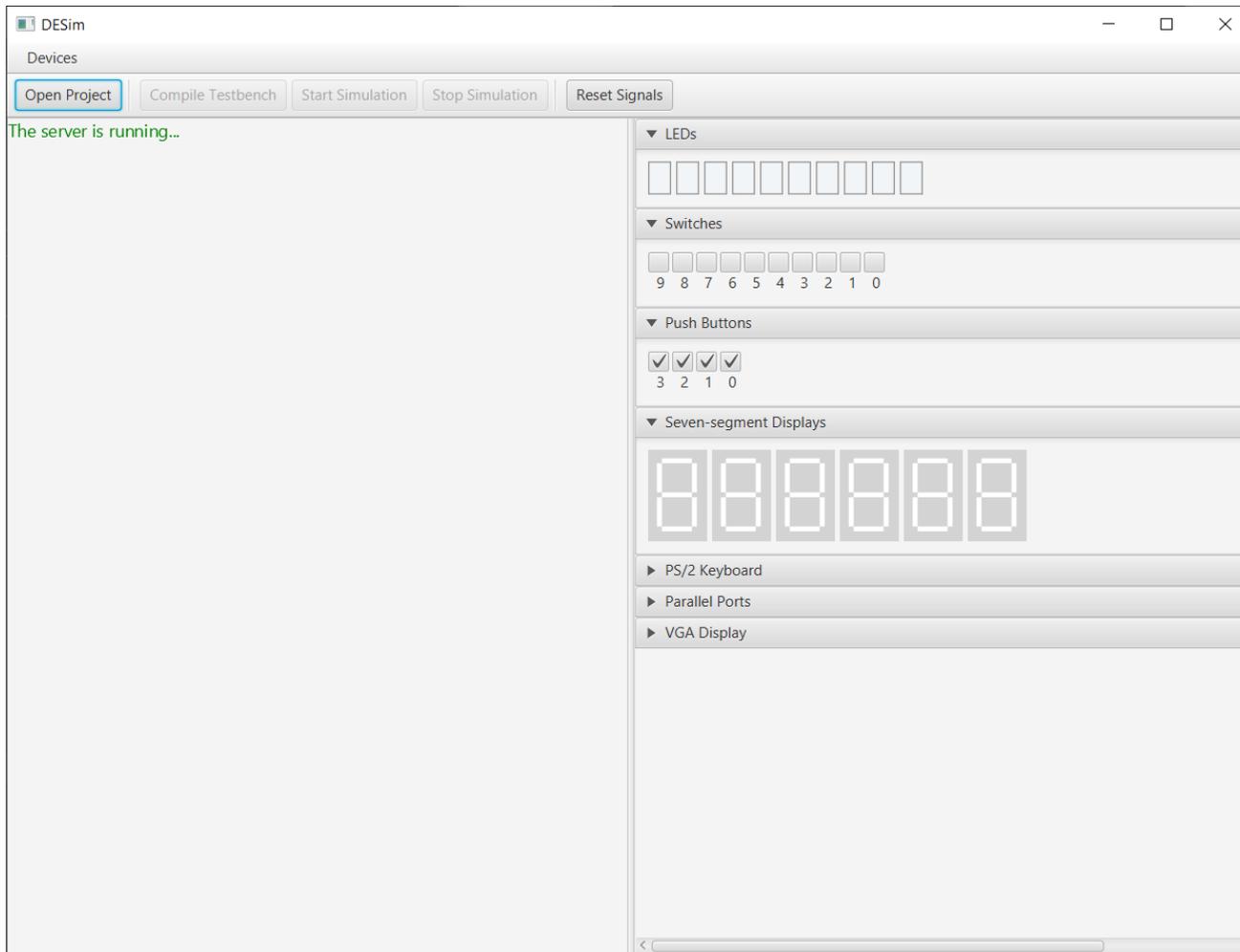
Windows installer for the initial release of the DESIm software tool.

Assets 3

desim_setup.exe	37.2 MB
Source code (zip)	
Source code (tar.gz)	



Интерфейс



- Открытие проекта
- Компиляция
- Симуляция
- Окно сообщений
- Элементы платы
 - светодиоды;
 - переключатели;
 - кнопки;
 - семисегментные индикаторы.



Пример работы

DESIm > demos > SoC_labs > lab2 > 03_d_latch >

Имя	Дата изменения	Тип	Размер
sim	01.04.2022 15:04	Папка с файлами	
tb	14.03.2022 17:27	Папка с файлами	
d_latch.v	03.03.2022 23:45	v	1 КБ
top.v	03.03.2022 23:50	v	1 КБ

→ смысловой Verilog-файл

↓
файл верхнего уровня; создает экземпляр сущности
смыслового Verilog-файла и передает в него
определенные элементы GUI

DESIm > demos > SoC_labs > lab2 > 03_d_latch > sim

Имя	Дата изме...	Тип	Размер
run_compile.bat	15.01.2021 ...	Пакетный файл ...	1 КБ
run_sim.bat	15.01.2021 ...	Пакетный файл ...	1 КБ
simfpga.vpi	15.01.2021 ...	Файл "VPI"	2 436 КБ

Служебные файлы для компиляции/симуляции

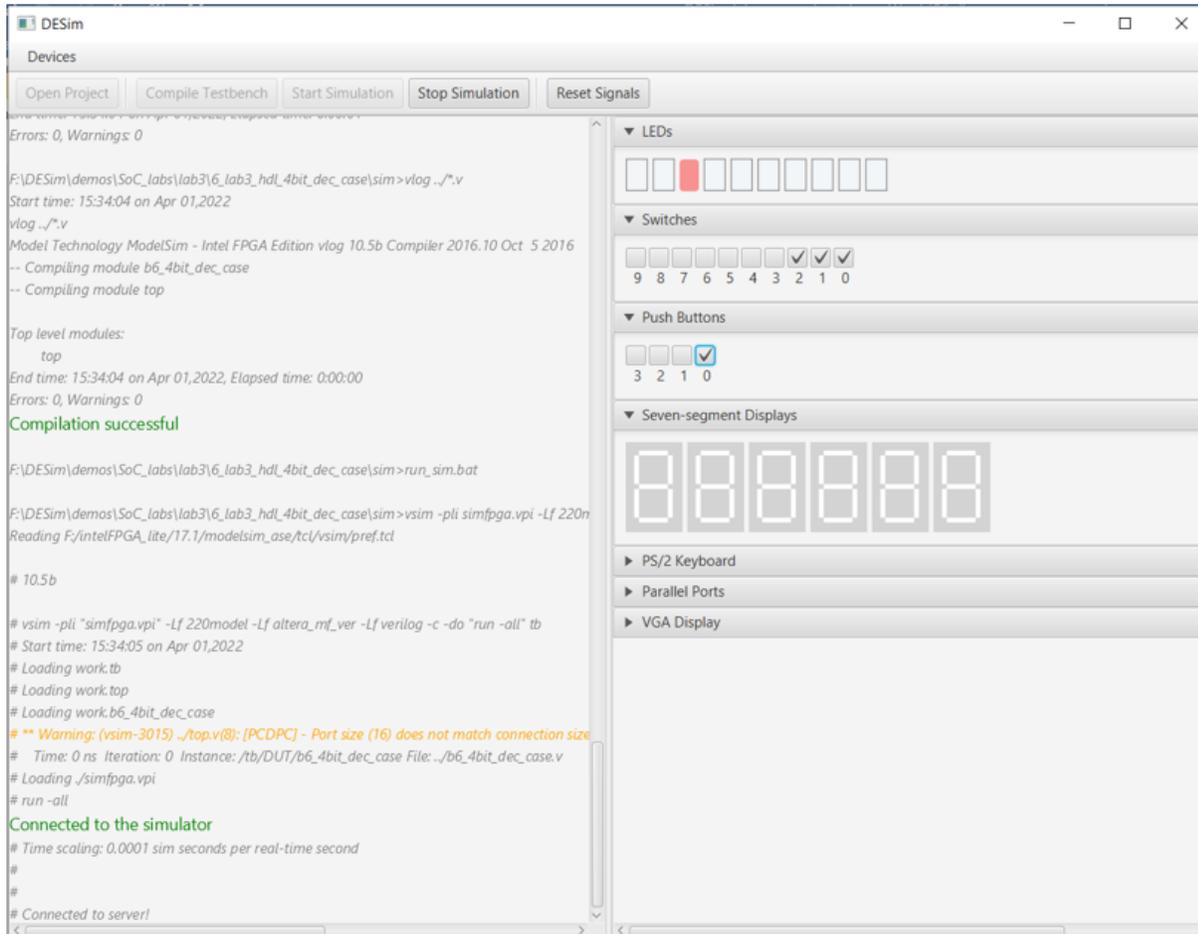
DESIm > demos > SoC_labs > lab2 > 03_d_latch > tb

Имя	Дата изменения	Тип	Размер
tb.v	03.03.2022 23:55	v	2 КБ

Тестбенч – соединяет top.v и элементы GUI



Пример работы



Дешифратор
разрешающий сигнал enable – KEY[0]
входные данные – SW[3:0]
выходные данные – LEDs

подана двоичная комбинация
«111» (т. е. 7)
активен enable



загорается светодиод LEDR[7]

